

(3) Japanese Patent Application Laid-Open No. H8-330538 (1996)

The following is English translation of an extract from the above-identified documents relevant to the present application.

The semiconductor memory of the present invention has a layer made of the metal in the platinum family which is more easily oxidized than platinum formed as a base layer under the electrode layer of platinum or platinum alloy.

As shown in Fig. 1, a source region 5 and a drain region 6 is formed, and a MIS transistor, in which a gate electrode 4 is formed on a gate insulating film 3, is formed. Thereon, an interlayer insulating layer 7 of BPSG and SiO₂ is formed.

Then, on this interlayer insulating layer 7 on the upper side of an element separation isolation layer 2, a lower electrode 8 of platinum or platinum alloy are formed. A base layer 21 is intercalated in the portion where this lower electrode 8 is formed. This base layer 21 is constructed of a metal layer that is made of one of palladium, ruthenium, osmium, iridium, and rhodium or alloy including more than one of these. Then, on this lower electrode 8, a ferroelectric layer 9 is formed, and thereon, an upper electrode 10 of the same kind such as platinum or platinum alloy is formed.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-330538

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁹

識別記号

FI

H01L 27/108
21/8242

9276-4M

H01L 27/10

651

G11C 11/22

G11C 11/22

H01L 21/28

301

R

H01L 21/28

27/10

451

27/04

C23C 14/08

N

審査請求 未請求 請求項の数 2 O L (全7頁) 最終頁に続く

(21)出願番号

特願平7-138193

(22)出願日

平成7年(1995)6月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 広中 克行

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 網 隆明

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 渡部 浩司

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 松隈 秀盛

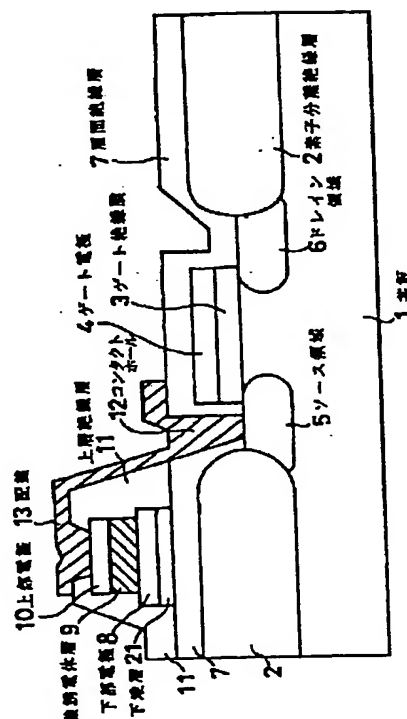
最終頁に続く

(54)【発明の名称】半導体メモリ

(57)【要約】

【目的】 電極形成面と電極との密着性を改善した半導体メモリを提供する。

【構成】 白金または白金合金による電極層8が形成される半導体メモリにおいて、白金または白金合金による電極層8下にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち2種類以上を含む合金よりなる下地層21を被着形成する。



【特許請求の範囲】

【請求項 1】 白金または白金合金による電極層が形成される半導体メモリにおいて、

上記白金または白金合金による電極層下に、パラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち 2 種類以上を含む合金よりなる下地層を被着形成したことを特徴とする半導体メモリ。

【請求項 2】 上記白金または白金合金による電極層上に強誘電体層が形成されてなることを特徴とする請求項 1 に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば DRAM（ダイナミック・ランダム・アクセス・メモリ）、FRAM（フェロエレクトリック・ランダム・アクセス・メモリ）等の半導体メモリ、特に強誘電体メモリに適用して好適な半導体メモリに係わる。

【0002】

【従来の技術】 従来の半導体メモリ、例えば強誘電体不揮発性メモリの FRAM は、図 5 にプレーナ型構造の不揮発性メモリの一例の断面図を示すように、半導体基板 1 に局部的酸化いわゆる LOCOS によって形成した素子分離絶縁層 2 が形成され、これによって分離された領域に、ソース領域 5 及びドレイン領域 6 が形成され、これらソース及びドレイン両領域 5、6 間上に SiO_2 等のゲート絶縁膜 3 を介してゲート電極 4 が形成された MIS トランジスタ（絶縁ゲート型電界効果トランジスタ）が形成される。さらに、この MIS トランジスタ上に例えば BPSG（ボロン・リン・シリケートガラス）や SiO_2 等による層間絶縁膜 7 が形成される。さらにこの層間絶縁膜 7 上の素子分離絶縁層 2 の上方に白金または白金合金による下部電極 8 が形成され、この下部電極 8 上に強誘電体層 9 を介して同様の例えば白金または白金合金による上部電極 10 が形成され、下部及び上部電極 8、10 間に大容量のキャパシタが構成されてなる。また、上部電極 10 上にさらに全面的に上層絶縁層 11 が形成され、例えばこの上層絶縁層 11 の上部電極 10 上と、層間絶縁層 7 のソース領域 5 上にコンタクトホール 12 が穿設され、これらコンタクトホール 12 を通じて上部電極 10 とソース領域 5 とが配線 13 によってコンタクトされた構成とされている。

【0003】 このような半導体メモリにおける誘電体材料としては、 SrTiO_3 、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{Bi}_{1-x}\text{Sr}_x\text{TaO}_3$ 等の酸化物によって構成することの検討がなされている。

【0004】 ところでこれらの酸化物材料の形成には、酸化雰囲気中での熱処理工程を必要とするが、通常の金属を電極材料として用いると、この酸化物の熱処理の際

に電極金属の表面が酸化される。この結果、誘電体膜と電極材料との間に低誘電体層が生成したり、常誘電体層が生成したりするために、DRAM や FRAM のデバイス特性が劣化してしまう。

【0005】 従って、一般には化学的に安定な白金を電極材料として用いている。

【0006】

【発明が解決しようとする課題】 しかしながら、白金は化学的に安定なために、この電極の形成面となる上述した層間絶縁層等の SiO_2 や BPSG との密着性が悪い。

【0007】 そのため、製造中において膜剥がれを生じることがあり、歩留まりが低下し生産性に劣る問題がある。

【0008】 本発明は、上述した白金、もしくは白金合金による電極の電極形成面との密着性を改善し、上述した問題の解決をはかる。

【0009】

【課題を解決するための手段】 本発明による半導体メモリは、白金または白金合金による電極層が形成される半導体メモリにおいて、白金または白金合金による電極層下にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち 2 種類以上を含む合金よりなる下地層を被着形成した構成とする。

【0010】

【作用】 上述の本発明の構成によれば、電極層の下にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち 2 種類以上を含む合金よりなる下地層を被着形成し、下地層上に白金または白金合金による電極層を形成することにより、下地層と下地層の下の電極形成面や電極層との反応性が、直接電極形成面と電極層を被着する場合より向上するため、電極形成面と下地層および下地層と電極層とを密着性良く形成することができ、結果的に電極の電極形成面への被着強度を向上できる。

【0011】

【実施例】 本発明の半導体メモリは、白金または白金合金による電極層の電極形成面に、下地層として白金族で白金より酸化されやすい金属からなる層を形成するものである。

【0012】 図 1 を参照して、本発明による半導体メモリの一実施例について説明する。

【0013】 図 1 は、本発明による半導体メモリをプレーナ型構造の不揮発性メモリに適用した場合の一例の断面図で、この場合、半導体基板 1 に局部的酸化いわゆる LOCOS によって形成した素子分離絶縁層 2 が形成され、これによって分離された領域に、MIS トランジスタが形成される。すなわち、この場合においても図 5 において説明したと同様に、ソース領域 5 およびドレイン領域 6 が形成され、これらソースおよびドレイン領域

5 および 6 間上に SiO_2 などのゲート絶縁膜 3 を介してゲート電極 4 が形成された MIS トランジスタ (絶縁ゲート型電界効果トランジスタ) が形成され、これの上に例えば BPSG (ボロン・リン・シリケートガラス) や SiO_2 等による層間絶縁層 7 が形成される。

【0014】そして、この層間絶縁層 7 上の素子分離絶縁層 2 の上方に、白金または白金合金による下部電極 8 を形成するものであるが、本発明においては、この下部電極 8 の形成部に下地層 21 を介在させる。この下地層 21 は、パラジウム、ルテニウム、オスmium、イリジウム、ロジウム単体あるいはこれらのうち 2 種類以上を含む合金よりなる金属層によって構成する。そして、この下部電極 8 上に、強誘電体層 9 を形成し、これの上に同様の例えば白金または白金合金による上部電極 10 を形成する。

【0015】そして図示の例では、上部電極 10 上にさらに全面的に上層絶縁層 11 が形成され、例えばこの上層絶縁層 11 および層間絶縁層 7 に、上部電極 10 上と、ソース領域 5 上とにコンタクトホール 12 が穿設され、これらコンタクトホール 12 を通じて上部電極 10 とソース領域 5 とが配線 13 によってコンタクトされた構成とされている。

【0016】次に、本発明による半導体メモリの電極部の構成部の実施例を説明する。

【0017】(実施例 1) この例では、例えば図 1 で説明した層間絶縁層 7 に相当する BPSG 上に、下地層 21 としてパラジウム、強誘電体層として $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ を用いる場合の例である。

【0018】この例では、図 2 にその要部の断面図を示すように、BPSG 層 7 上に、スパッタ法により下地層 21 として Pd を厚さ 30 nm、下部電極 8 として Pt を厚さ 200 nm で順次被着形成させる。

【0019】さらに下部電極 8 の上に、スパッタ法により 350℃で、組成が $\text{PbZr}_{0.9}\text{Ti}_{0.1}\text{O}_3$ の酸化物からなる強誘電体層 9 を 350 nm の厚さに形成する。

【0020】これを酸素雰囲気中で、650℃で 30 分間熱処理、すなわちアニールする。

【0021】熱処理の後、強誘電体層 9 の上に、上部電極 10 として白金をスパッタ法により 200 nm の厚さに被着形成する。

【0022】再度酸素雰囲気中で、650℃で 30 分間の熱処理を行う。このようにして半導体メモリのキャパシタ部を形成する。

【0023】(比較例 1) 実施例 1 において、パラジウムからなる下地層 21 を設けずに、直接 BPSG 上に白金電極を形成した。実施例 1 は、比較例 1 と比較して、膜剥がれの発生頻度が 1/10 以下に低減した。

【0024】(実施例 2) この例では、例えば図 1 の層間絶縁層 7 に相当する SiO_2 上に、下地層 21 として

イリジウム、強誘電体層 9 として $\text{Bi}, \text{SrTa}, \text{O}_3$ を用いる場合の例である。

【0025】 SiO_2 上に、スパッタ法により下地層 21 として Ir を厚さ 50 nm、下部電極 8 として Pt を厚さ 200 nm で順次被着形成させる。

【0026】さらに下部電極 8 の上に、MOCVD (有機金属化学的気相成長) 法により 700℃で、組成が $\text{Bi}, \text{SrTa}, \text{O}_3$ の酸化物からなる強誘電体層 9 を 200 nm の厚さに形成する。

【0027】これを酸素雰囲気中で、750℃で 60 分間熱処理する。

【0028】熱処理の後、強誘電体層 9 の上に、上部電極 10 として白金をスパッタ法により 100 nm の厚さに被着形成する。

【0029】再度酸素雰囲気中で、750℃で 60 分間の熱処理を行う。このようにして半導体メモリのキャパシタ部を形成する。

【0030】(比較例 2) 実施例 2 において、イリジウムからなる下地層 21 を設けずに、直接 SiO_2 上に白金電極を形成した。実施例 2 は比較例 2 と比較して、膜剥がれの発生頻度が 1/20 以下に低減した。

【0031】(実施例 3) この例では、例えば図 1 の層間絶縁層 7 に相当する SiO_2 上に、下地層 21 としてイリジウムパラジウム合金、下部電極 8・上部電極 10 として白金パラジウム合金を用いる場合の例である。

【0032】この場合 SiO_2 上に、スパッタ法により下地層 21 として $\text{Ir}_{0.9}\text{Pd}_{0.1}$ の組成のイリジウムパラジウム合金を厚さ 30 nm、下部電極 8 として $\text{Pt}_{0.9}\text{Pd}_{0.1}$ の組成の白金パラジウム合金を厚さ 100 nm で順次被着形成させる。

【0033】さらに下部電極 8 の上に、MOCVD (有機金属化学的気相成長) 法により 700℃で、組成が $\text{Bi}, \text{SrTa}, \text{O}_3$ の酸化物からなる強誘電体層 9 を 200 nm の厚さに形成する。

【0034】これを酸素雰囲気中で、700℃で 60 分間熱処理する。

【0035】熱処理の後、強誘電体層 9 の上に、上部電極 10 として下部電極 8 と同じ組成の白金パラジウム合金をスパッタ法により 100 nm の厚さに被着形成する。

【0036】再度酸素雰囲気中で、700℃で 60 分間の熱処理を行う。このようにして半導体メモリのキャパシタ部を形成する。

【0037】(比較例 3) 実施例 3 において、イリジウムパラジウム合金からなる下地層 21 を設けずに、直接 SiO_2 上に白金パラジウム合金による電極を形成した。実施例 3 は比較例 3 と比較して、膜剥がれの発生頻度が 1/20 以下に低減した。

【0038】(実施例 4) この例では、例えば図 1 の層間絶縁層 7 に相当する BPSG 上に、下地層 21 として

ルテニウム、下部電極8・上部電極10として白金ルテニウム合金、強誘電体層9として Bi, SrNb, O_1 を用いる場合の例である。

【0039】BPSG上に、スパッタ法により下地層21としてRhを厚さ50nm、下部電極8としてPt、Rhの組成の白金ルテニウム合金を厚さ100nmで順次被着形成させる。

【0040】さらに下部電極8の上に、MOCVD（有機金属化学的気相成長）法により600℃で、組成が Bi, SrNb, O_1 の酸化物からなる強誘電体層9を200nmの厚さに形成する。

【0041】これを酸素雰囲気中で、700℃で60分間熱処理する。

【0042】熱処理の後、強誘電体層9の上に、上部電極10として下部電極8と同じ組成の白金ルテニウム合金をスパッタ法により100nmの厚さに被着形成する。

【0043】再度酸素雰囲気中で、800℃で60分間の熱処理を行う。このようにして半導体メモリのキャパシタ部を形成する。

【0044】（比較例4）実施例4において、ルテニウムからなる下地層21を設けず、直接BPSG上に白金ルテニウム合金による電極を形成した。実施例4は比較例4と比較して、膜剥がれの発生頻度が1/30以下に低減した。

【0045】さらに、本発明による半導体メモリの特徴を明確にするために、下地層として本発明構成によらない下地層を設置した半導体メモリを比較例として、次に示す。

【0046】（比較例5）この比較例5では、下地層として、チタンあるいは窒化チタンからなる層を形成し、これの上に白金層を積層形成した場合である。

【0047】この例では、図6Aにその要部の断面図を示すように、 SiO_2 上に、スパッタ法によりチタンあるいは窒化チタンからなる第1の金属層31を10nmの厚さに、白金からなる第2の金属層32を200nmの厚さに積層形成する。

【0048】さらに、第2の金属層32の上に、MOCVD（有機金属化学的気相成長）法により700℃で、組成が Bi, SrTa, O_1 の酸化物からなる強誘電体層9を200nmの厚さに形成する。

【0049】これを酸素雰囲気中で、800℃で60分間熱処理する。

【0050】熱処理の後、強誘電体層9の上に、上部電極10として白金をスパッタ法により200nmの厚さに被着形成する。

【0051】このようにして半導体メモリのキャパシタ部を形成する。

【0052】再度酸素雰囲気中で、800℃で60分間の熱処理を行った。このとき、第1の金属層11中のチ

タンが、第2の金属層32の白金中に拡散し、合金Pt、 Ti_{1-x} が生じた。

【0053】この半導体メモリにおいて、白金チタン合金からなる下部電極33と強誘電体層9との間に、図6Bに熱拡散後の状態の断面図を示すように、熱拡散したチタンから、 TiO_2 からなる低誘電体層34が形成されてしまう。従って、この場合前述のように低誘電体層34によりデバイス特性の低下を来すことになる。また白金の表面性も悪化する。

【0054】次に、本発明による半導体メモリをスタック型構造の不揮発メモリに適用した場合の一例を図3に示す不揮発メモリの断面図を用いて説明する。図3では、図1と対応する部分に同一の記号を付している。

【0055】図3に示す半導体メモリは、半導体基板1に局部的酸化いわゆるLOCOSにより素子分離絶縁層2が形成され、これによって分離された領域に、MISトランジスタが形成される。すなわち、この場合においても図1、図5において説明したと同様に、ソース領域5およびドレイン領域6が形成され、これらソースおよびドレイン領域5および6間上に SiO_2 などのゲート絶縁膜3を介してゲート電極4が形成されたMISトランジスタや SiO_2 等の層間絶縁層7が形成される。

【0056】そして、層間絶縁層7のソース領域5上に穿設したコンタクトホール12に、多結晶シリコン、タングステン等よりなるプラグ電極20を形成し、プラグ電極20の上にTiN、Ta₂N等よりなる耐酸化性バリアメタル22を形成する。その上にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち2種類以上を含む合金よりなる金属層による下地層21を介在させて下部電極8を形成する。

【0057】次に、この下部電極8の上に強誘電体層9を形成し、これの上にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち2種類以上を含む合金よりなる金属層による上部電極の下地層23を介在させて上部電極10を形成する。

【0058】そして上部電極10の上に、さらに全面的に上層絶縁層11が形成され、この上層絶縁層11に開けられたコンタクトホールとを通して上部電極10上にコンタクトした配線13が形成された構成になっている。

【0059】（実施例5）この例では、例えば図3で説明した耐酸化性バリアメタル22に相当するTiN上に、下地層21としてイリジウムパラジウム合金、強誘電体層9として Bi, SrNb, O_1 を用いる場合の例である。

【0060】図4にその要部の断面図を示すように、窒化チタンからなる耐酸化性バリアメタル22上にスパッタ法によりIr、Pdなる組成の下地層21を厚さ100nm、下部電極8としてPtを厚さ200nmで順次被着形成させる。

【0061】さらに下部電極8上に、CVD法により組成がBi, SrNb, O₃ となる強誘電体層9を600°Cで200nmの厚さに形成する。これを酸素雰囲気中で700°Cで1時間熱処理する。熱処理の後、強誘電体層9の上に上部電極10の下部層23としてIr, Pd, Ptを厚さ20nm、上部電極10としてPtを厚さ200nmでそれぞれスパッタ法により順次被着形成する。

【0062】再度、酸素雰囲気中で、650°Cで30分間の熱処理を行う。

【0063】(比較例6) 実施例5において、イリジウムパラジウム合金からなる下部層21および23を設けず、直接TiN上に白金電極を形成した。実施例5は、比較例6と比較して、膜剥がれの発生頻度が1/10以下に低減した。

【0064】尚、上述の各実施例では、下部層を被着させる面の材料としてSiO₂、BPSGを用いたが、この面の材料をBSG(ホウケイ酸ガラス)、シリコン、窒化チタン、窒化タンタル、窒化ハフニウム、窒化コバルトシリサイド、SOG(スピン・オン・ガラス; スピンナーにより回転塗布するシリコン化合物ガラス)を材料としても同様に、本発明の半導体メモリを形成することができる。

【0065】また上述の各実施例では、強誘電体層9の例として、Pb(Zr, Ti)O₃(PZT)、Bi, SrTa, O₃、Bi, SrNb, O₃を用いたが、SrTiO₃、(Ba, Sr)TiO₃ などの誘電体材料を用いても、同様に本発明の半導体メモリを形成することができる。

【0066】また下部層は、上部電極と下部電極との両方に設ける構成としても、下部電極だけに設ける構成としてもよい。各電極とその電極形成面の密着性を考慮して、下部層を設けるかどうかを選択する。

【0067】熱処理の温度は、使用する誘電体材料に合わせて選択する。例えばPZTでは650~700°C、Bi, SrTa, O₃ では650~800°Cで熱処理を行うことが好ましい。

【0068】さらに下部電極8・上部電極10の材料も、上述の白金、白金パラジウム合金、白金ルテニウム合金の他、一般に電極に用いられている白金-白金族合金等を用いても同様に本発明の半導体メモリを形成することができる。

【0069】本発明の半導体メモリは、上述の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0070】

【発明の効果】 上述の本発明による半導体メモリによれば、電極形成面と白金あるいは白金合金からなる電極との間に、白金族で白金よりも化学反応性が高いパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単

体あるいはこれらのうち2種以上の元素を含む合金からなる下部層を形成することにより、電極形成面と電極との密着性を改善し、電極の膜剥がれや低誘電体層の形成等の問題を解決することができる。

【0071】膜剥がれが低減することにより、歩留まりが良くなり、安定して、生産性よく半導体メモリが製造できる。

【0072】また、下部層にパラジウム、ルテニウム、オスミウム、イリジウム、ロジウム単体あるいはこれらのうち2種類以上を含む合金を使用することで、下部層が下部電極へ拡散した場合でも、白金や白金合金を電極に用いることによる低誘電体層の形成を防止する効果を発揮することができ、デバイス特性のよい半導体メモリの製造ができる。

【図面の簡単な説明】

【図1】本発明の半導体メモリを適用するプレーナ型構造の不揮発性メモリの一例の断面図である。

【図2】本発明による半導体メモリの一例の要部の断面図である。

【図3】本発明の半導体メモリを適用するスタック型構造の不揮発性メモリの一例の断面図である。

【図4】本発明による半導体メモリの他の例の要部の断面図である。

【図5】従来のプレーナ型構造の不揮発性メモリの一例の断面図である。

【図6】従来の半導体メモリの一例の要部の断面図である。

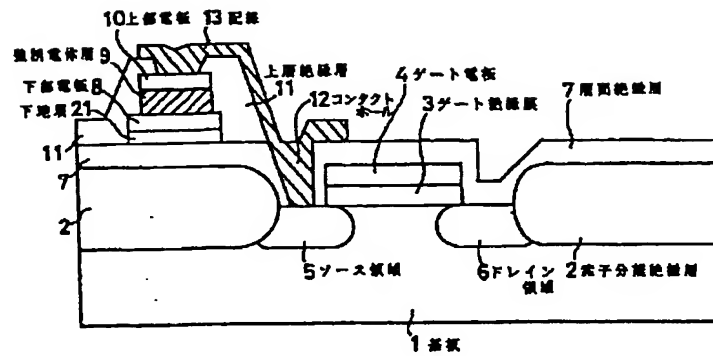
A 熱拡散前の状態である。

B 熱拡散後の状態である。

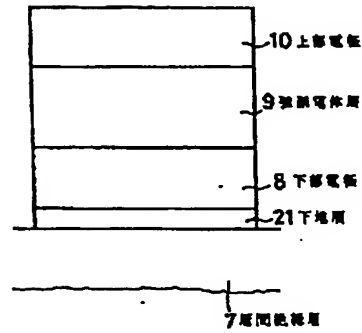
【符号の説明】

- 1 基板
- 2 素子分離絶縁層
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 ソース領域
- 6 ドレイン領域
- 7 層間絶縁層
- 8 下部電極
- 9 強誘電体層
- 10 上部電極
- 11 上層絶縁層
- 12 コンタクトホール
- 13 配線
- 21、23 下部層
- 22 耐酸化性バリアメタル
- 31 第1の金属層
- 32 第2の金属層
- 33 下部電極
- 34 低誘電体層

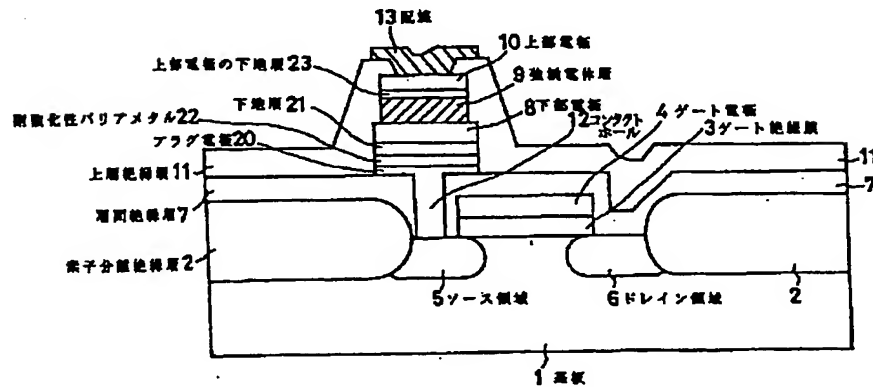
【図1】



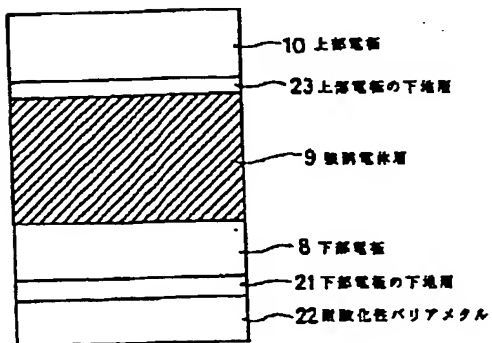
【図2】



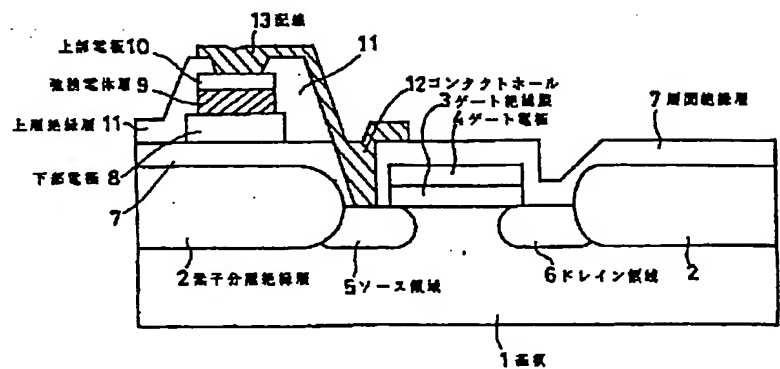
【図3】



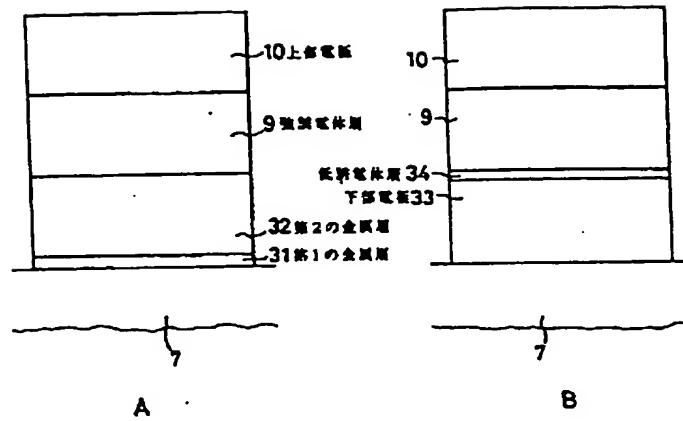
【図4】



【図5】



【図 6】



フロントページの続き

(51)Int.Cl.⁶
21/822
27/10
// C23C 14/08

識別記号
451

F I
H01L 27/04

C

(72)発明者 町田 暁夫
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内